

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月29日

出 願 番 号

Application Number:

特願2002-220031

[ST.10/C]:

[JP2002-220031]

出 願 人

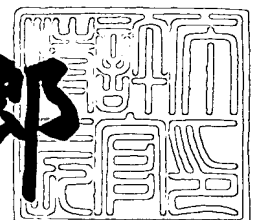
Applicant(s):

株式会社東芝

2003年 4月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3023461

【書類名】 特許願

【整理番号】 A000202562

【提出日】 平成14年 7月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

【氏名】 臼田 宏治

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

【氏名】 高木 信一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【その他】

国等の委託研究の成果に係る特許出願（平成13年度新エネルギー・産業技術総合開発機構「次世代半導体材料・プロセス基盤技術開発」委託研究、産業活力再生特別措置法第30条の適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

基板上に形成された単結晶半導体からなるバッファ層と、

このバッファ層上に形成され、該バッファ層とは格子定数が異なる歪み Si 層と、

この歪み Si 層上に形成され、該 Si 層とは格子定数が異なる単結晶希土類酸化物のゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と、

を具備してなることを特徴とする半導体装置。

【請求項 2】

前記ゲート電極は、結晶質の半導体材料であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ゲート電極は、結晶質の SiGe であることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記ゲート絶縁膜は、単結晶の CeO_2 , PrO_2 , CaO_2 , TbO_2 , PrO_2 , Dy_2O_3 , Er_2O_3 , Eu_2O_3 , Gd_2O_3 , Ho_2O_3 , In_2O_3 , La_2O_3 , Lu_2O_3 , Nd_2O_3 , Pr_2O_3 , Sm_2O_3 , Tb_2O_3 , TI_2O_3 , Tm_2O_3 , Y_2O_3 , Yb_2O_3 の何れかあることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記バッファ層は、単結晶の SiGe であることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記バッファ層は、SOI 基板の上に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】

基板上に形成された単結晶 SiGe の第 1 のゲート電極と、
第 1 のゲート電極上に形成された単結晶 CeO_2 の第 1 のゲート絶縁膜と、
第 1 のゲート絶縁膜上に形成され、且つ一部が第 1 のゲート絶縁膜よりも外側に延在して形成された単結晶 Si 層と、

この単結晶 Si 層上の第 1 のゲート絶縁膜と対向する位置に形成された単結晶 CeO_2 の第 2 のゲート絶縁膜と、

第 2 のゲート絶縁膜上に形成された単結晶 SiGe の第 2 のゲート電極と、
を具備してなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、歪み Si チャンネルを有する半導体装置に係わり、特にゲート絶縁膜やゲート電極構造の改良をはかった半導体装置に関する。

【0002】

【従来の技術】

近年、 Si-MOSFET の高性能化の指標の一つである電子移動度を向上させる方法として、 Si 層に歪みを印加する技術が注目されている。 Si 層に歪みを印加すると、そのバンド構造が変化し、チャンネル中のキャリアの散乱が抑制されるため、移動度の向上が期待できる。具体的には、 Si 基板上に Si よりも格子定数の大きな材料からなる混晶層、例えば Ge 濃度 20% の SiGe 混晶層（以下、単に SiGe 層と記す）を形成し、この SiGe 層上に Si 層を形成すると、格子定数の差によって歪みが印加された歪み Si 層が形成される。

【0003】

このような歪み Si 層を半導体デバイスのチャンネルに用いると、無歪みチャンネル層を用いた場合の約 1.76 倍と大幅な電子移動度の向上を達成できることが報告されている（J.Welser, J.L.Hoyl, S.Tagkagi, and J.F.Gibbons, IEDM 94-373）。

【0004】

また、電子移動度向上のためにMOSFETの短チャネル化を進めると、浮遊容量の影響が大きくなり、期待通りに電子移動度を向上することが困難になる。これを解決するため、SOI (Silicon On Insulator) 構造上に上記半導体チャネル層を設ける構造が注目されている。本構造を導入することによって、浮遊容量の低減や素子分離が容易となり、従来よりも更なる低消費電力化、高集積化が実現すると期待されている。

【0005】

一方、微細化の一途を辿るMOSFETでは、従来の酸化膜/Si基板でゲート絶縁膜/チャネル層を形成する構造では、およそ2010年以降に微細化限界に到達することが予測されている (ITRS Roadmap 2000)。ここに、リソグラフィの限界などと共に、この微細化限界に最初に到達すると考えられている課題の一つとして、数nmよりも膜厚が薄くなるために急激にトンネルリーク電流が増大し低消費電力化に反すること、或いは薄膜化による膜質劣化による動作不良などが予見される酸化膜膜厚の極薄化限界がある。

【0006】

1nm膜厚の酸化膜におけるリーク電流の増大に関する検討の結果、上記のITRSのロードマップが妥当であることも既に実データとして示されている (M. Hirose et al., Semicond. Sci. Technol. 15,485(2000))。従って、今後の微細化を継続し、高機能化、高性能化、高速化などの素子特性向上を引き続き目指すには、チャネル層の改良だけでなく、酸化膜の代替技術を開発する必要がある。

【0007】

【発明が解決しようとする課題】

このように従来、歪みSiチャネル層を備えた半導体デバイスにおいては、Si基板上に直接チャネル層が形成されるデバイスに比べると高性能化が期待できるものの、今後の更なる高性能化を目指す場合、チャネル層以外の構造にも新たな技術の導入が必要と考えられている。

【0008】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、歪

み Si チャンネル層を用いた構成において、微細化に伴うゲート絶縁膜の膜質劣化やリーク電流増大を抑制し、より一層の素子特性向上をはかり得る半導体装置を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

(構成)

上記課題を解決するために本発明は、次のような構成を採用している。

【 0 0 1 0 】

即ち本発明は、歪み Si チャンネル層を用いた半導体装置において、基板上に形成された単結晶半導体からなるバッファ層と、このバッファ層上に形成され、該バッファ層とは格子定数が異なる歪み Si 層と、この歪み Si 層上に形成され、該 Si 層とは格子定数が異なる単結晶希土類酸化物のゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、を具備してなることを特徴とする。

【 0 0 1 1 】

ここで、本発明の望ましい実施態様としては次のものが挙げられる。

【 0 0 1 2 】

(1) ゲート電極は、結晶質の半導体材料であること。

(2) ゲート電極は、結晶質の CeO_2 であること。

【 0 0 1 3 】

(3) ゲート絶縁膜は、単結晶の CeO_2 , PrO_2 , CaO_2 , TbO_2 , PrO_2 , Dy_2O_3 , Er_2O_3 , Eu_2O_3 , Gd_2O_3 , Ho_2O_3 , In_2O_3 , La_2O_3 , Lu_2O_3 , Nd_2O_3 , Pr_2O_3 , Sm_2O_3 , Tb_2O_3 , TI_2O_3 , Tm_2O_3 , Y_2O_3 , Yb_2O_3 の何れかあること。

【 0 0 1 4 】

(4) バッファ層は、単結晶の SiGe であること。

(5) バッファ層は、SOI 基板の上に形成されていること。

(6) バッファ層からゲート電極までの全ての層を、同一チャンバ内でエピタキシャルで成長形成すること。

【 0 0 1 5 】

また本発明は、デュアルゲート構造を有する半導体装置において、基板上に形成された単結晶 SiGe の第 1 のゲート電極と、この第 1 のゲート電極上に形成された単結晶 CeO_2 の第 1 のゲート絶縁膜と、第 1 のゲート絶縁膜上に形成され、且つ一部が第 1 のゲート絶縁膜よりも外側に延在して形成された単結晶 Si 層と、この単結晶 Si 層上の第 1 のゲート絶縁膜と対向する位置に形成された単結晶 CeO_2 の第 2 のゲート絶縁膜と、この第 2 のゲート絶縁膜上に形成された単結晶 SiGe の第 2 のゲート電極と、を具備してなることを特徴とする。

【 0 0 1 6 】

(作用)

本発明によれば、チャネル層に歪み Si 層を用いていることから移動度の向上が期待されることに加え、ゲート絶縁膜にチャネル層とは異なる格子定数の希土類酸化物の結晶絶縁層を用いていることから、ゲート絶縁膜における誘電率を増大させることができ、素子の微細化に伴うゲート絶縁膜の薄膜化によるリーク電流の増加を抑えることが可能となる。従って、チャネル層の高速化限界とゲート絶縁膜の薄膜化限界との課題を同時に解決することができる。

【 0 0 1 7 】

ここで、格子緩和した Si の上に CeO_2 をエピタキシャル成長した場合の報告 (R.A.McKee et al., Science 293,468(2001), 或いは Y.Nishikawa et al., Ext. abstracts, SSDM 2001, 174)) では、誘電率が 10 を優に超える絶縁層が形成できることが判っており、従来の酸化膜に比べて EOT (Equivalent Oxide Thickness) が同じならば、5 桁以上のリーク低減が可能であることが判っている。格子緩和した SiGe 上の歪み Si の場合には、 Si に引っ張り歪みが与えられており、その上の CeO_2 に対しては格子緩和 Si の場合よりも大きな引っ張り歪みが生じることになり、更なる誘電率の向上効果が期待される。

【 0 0 1 8 】

また、ゲート絶縁膜の上に更にゲート電極を結晶層で形成することが可能であり、その結果、チャネル層、ゲート絶縁膜、及びゲート電極を連続して、場合によっては低温で形成することが可能である。さらには、上記構造が絶縁層上に形成されることによって所謂 SOI 構造が形成され、低消費電力化にも効果がある

。従って、従来は製造できなかったガラスなどの融点の低い基板上での素子形成、所謂ダマシン構造での素子の形成などが実現でき、高品質で高性能な半導体素子を、工程数削減による低コストでの形成が可能であると共に、製造された素子の低消費電力化も可能となる。

【 0 0 1 9 】

【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

【 0 0 2 0 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係わる半導体装置の素子構造を示す断面図である。

【 0 0 2 1 】

単結晶の Si 基板 1 1 上には、バッファ層として単結晶の Si Ge 層 1 2 が積層されている。薄膜の積層は、通常、CVD (chemical vapor deposition)、MBE (molecular beam epitaxy) プロセスなどにより形成する。例えば Si Ge 層を CVD で形成する場合は、Si の原料ガスと Ge の原料ガスとを、例えば 5 5 0 °C に加熱した Si 基板 1 1 上に導入して、例えば 5 0 nm 厚みの Si Ge 層 1 2 を形成する。このとき、Si Ge 層 1 2 の表面側の Ge 組成は、典型的には 5 % 以上 6 0 % 未満であり、2 0 % 以上 5 0 % 未満が好ましい。

【 0 0 2 2 】

Si Ge 層 1 2 は、該層中に転位を導入するなどして下地の Si 基板 1 1 との格子定数差による歪みを緩和せしめ、該結晶の表面側では緩和 Si Ge となるように歪みを開放する必要がある。そのために、Si Ge 層 1 2 は Ge 濃度が基板表面に垂直な結晶成長方向に向かって変えることで、格子定数を基板に垂直な方向に変える場合がある。

【 0 0 2 3 】

また、貼り合わせや酸化濃縮法 (T. Tezuka et al., IEDM Tech. Dig., 946 (2001)) によって歪み緩和が実現された Si Ge 層 1 2 を Si 基板 1 1 上に形成してもよい。その結果、Si Ge 層 1 2 は、本発明の目的である Si チャネル層へ歪

みを印加するストレッサーとしての機能を有することができる。なお、張り合わせ法では、予め歪み緩和した SiGe 層 12 を形成した支持基板を Si 基板 11 の面に直接、或いは酸化膜を介して接着し、その後に SiGe 層 12 を形成した支持基板を剥離することで、緩和 SiGe 層 12 だけを残す。

【 0 0 2 4 】

格子緩和した SiGe 層 12 上には、MOSFET のチャネル層となる厚さ 20 nm の単結晶の Si 層 13 が形成されている。このとき、SiGe と Si との格子定数差のために、Si 層 13 に引っ張り歪みを与えられる。ここで、SiGe 層 / Si 層の界面での格子定数差は、 $|\Delta d| > 0.01\%$ 以上であればよく、特に $|\Delta d| < 0.02\% \sim 4\%$ の範囲が望ましい。

【 0 0 2 5 】

引っ張り歪みを与えられた歪み Si 層 13 上には、厚さ 3 nm の単結晶の絶縁層 14、例えば分子線エピタキシー法 (MBE 法) を用いて酸化セリウム (CeO_2) 膜が形成されている。この CeO_2 膜 14 上には、ゲート電極としてのポリ Si 層 15 が 200 nm の厚さに形成されている。ここで、 CeO_2 膜 14 は Si 基板上、特に Si (111) 面上にエピタキシャル成長する膜である。なお、単結晶のゲート絶縁膜 14 としては、Si 基板上でエピタキシャル成長する絶縁膜であれば、 CeO_2 膜に限定されず、これ以外の希土類酸化物、例えば PrO_2 を用いることができる。更には、希土類酸化物以外の材料を用いることも可能である。

【 0 0 2 6 】

また、 CeO_2 膜に代表される希土類酸化物を用いることで、絶縁膜の誘電率が 10 以上となり、これを用いてトランジスタを作製すると、リーク電流を低減させ、実行酸化膜厚 (t_{eff}) が 1.0 nm 程度の極めて高性能なトランジスタを作製することができる。

【 0 0 2 7 】

図 2 に、比較のために従来の MOSFET 構造の典型例を示す。図 1 と異なる点は、前記結晶絶縁層 14 の代わりにアモルファス Si 酸化膜 (SiO_2) 16 が形成されていることである。ここで、 SiO_2 膜 16 の比誘電率は約 3.8 と

小さく、最新の100nmノードの素子においては、酸化膜厚を1nmオーダーと薄くしなくてはならない。その結果、薄膜絶縁膜形成そのものが非常に困難であり、仮に歩留まりを確保できるに足る均一な極薄酸化膜が形成できたとしても、トンネル電流の増加は大きく、素子動作時の消費電力増加が避けられない。従って、論理素子用デバイスとして採用することは難しい。

【0028】

このように本実施形態によれば、ゲート絶縁膜14として単結晶の CeO_2 を用いているので、ゲート絶縁膜14における誘電率を増大させることができ、素子の微細化に伴うゲート絶縁膜の薄膜化によるリーク電流の増加を抑えることが可能となる。このため、素子形成層として歪みSiチャネル層を用いたことによる移動度の向上と相俟って、高速動作が可能で信頼性の高いMOSFETを実現することができる。

【0029】

(第2の実施形態)

図3は、本発明の第2の実施形態に係わる半導体装置の素子構造を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0030】

本実施形態が、先に説明した第1の実施形態と異なる点は、ゲート電極17として単結晶のSi若しくはSiGeを用いたことにある。単結晶のゲート絶縁膜14上に形成されるゲート電極17として単結晶Siを用いる場合、シラン(SiH_4)やジシラン(Si_2H_6)、ジクロクシラン(SiH_2Cl_2)や四塩化シラン(SiCl_4)などの化合物ガスを原料ガスとして用いたCVD法や、MBE法などを使用して、およそ400℃から1000℃の温度範囲の中で、典型的に500℃～700℃と低温で形成することができる。この結晶成長の際には、不純物の同時添加が可能であり、p型のゲート電極の形成にはBやSbが、またn型のゲート電極の形成にはAsやPが付加される。

【0031】

また、ゲート電極17として単結晶SiGeを用いる場合には、CVD法では

上記の Si 原料ガスに加え Ge 原料ガス、例えば GeH_4 ガス（ゲルマンガス）を用いればよい。ゲート電極 17 が SiGe の場合、ゲート絶縁膜 14 としての CeO_2 により大きな引っ張り歪みを与えることになるので、誘電率の向上効果に更に有利である。

【 0 0 3 2 】

なお、一般にゲート電極の形成では、ゲートポリ Si 中にイオン注入によって例えばリンを $4 \times 10^{15} \text{ cm}^{-2}$ 注入し、引き続いておよそ $500^\circ\text{C} \sim 1100^\circ\text{C}$ 程度の温度で、典型的には 950°C 、1 分以下程度の活性化アニールを施す必要がある。しかしながら、このアニールプロセスが前記の通り高温のため、半導体層 13 の歪み緩和や、結晶欠陥の発生などが生じ、デバイス特性を劣化させる可能性がある。これに対し本実施形態の場合は、低温でのゲート電極形成と活性化が同時に実現できる特徴を有し、デバイス特性の維持と工程数の削減によるプロセスコストの低減が期待できる。

【 0 0 3 3 】

このように本実施形態によれば、MOSFET のチャネル層となる歪み Si 層 13 上に形成するゲート絶縁膜 14 として単結晶の CeO_2 を用いたことに加え、ゲート電極 17 として単結晶の Si 又は SiGe を用いたことにより、第 1 の実施形態と同様の効果が得られるのは勿論のこと、バッファ層 12 からゲート電極 17 までの全ての層を同一チャンバ内でエピタキシャル成長することができる。従って、高品質で高性能な MOSFET を、工程数削減による低コストでの形成が可能となる。

【 0 0 3 4 】

（第 3 の実施形態）

図 4 は、本発明の第 3 の実施形態に係わる半導体装置の素子構造を示す断面図である。なお、図 1 と同一部分には同一符号を付して、その詳しい説明は省略する。

【 0 0 3 5 】

本実施形態が先に説明した第 2 の実施形態と異なる点は、Si 基板 11 と SiGe 層 12 との間に埋め込み絶縁層 18 として SiO_2 膜を形成したことにある。

。この絶縁層 1 8 は、例えばドライ酸化膜、ウェット酸化膜などの熱酸化、デポ（CVD）、溶液処理によるウェット酸化などの通常用いられる方法で形成できる。

【 0 0 3 6 】

図 4 では、 SiO_2 膜を例としたが、絶縁層としての役割を果たす材料であれば良く、有機、無機の幅広い材料が適用できる。この場合に必要な条件は、絶縁層 1 8 の上にチャネルとしての Si 層 1 3 に歪みを印加するストレッサー層、即ち図 4 では SiGe 層 1 2 が形成できることである。従って、Si 基板 1 1 は、あくまで支持基板であり、熱履歴や化学処理などの素子作製プロセスに耐え得る材質であればその役割を妨げない。

【 0 0 3 7 】

このような構成であれば、第 2 の実施形態と同様の効果が得られるのは勿論のこと、素子形成基板が SOI 構造となるためにデバイスとしての消費電力の低減が可能となる。

【 0 0 3 8 】

（第 4 の実施形態）

図 5 は、本発明の第 4 の実施形態に係わる半導体装置の素子構造を示す断面図である。なお、図 4 と同一部分には同一符号を付して、その詳しい説明は省略する。

【 0 0 3 9 】

この実施形態は、基本的には第 3 の実施形態の構造を採用し、これをより具体化したものである。即ち、第 3 の実施形態と同様に、Si 基板 1 1 上に絶縁層 1 8 として SiO_2 膜が形成され、その上に単結晶の歪み緩和 SiGe 層 1 2、単結晶の歪み Si 層 1 3、単結晶の CeO_2 層からなるゲート絶縁膜 1 4、単結晶の SiGe 層からなるゲート電極 1 7 が形成され、ゲート電極 1 7 とゲート絶縁膜 1 4 はゲート構造に加工されている。歪み Si 層 1 3 及びゲート電極 1 7 の上には層間絶縁膜 2 1 が形成され、この絶縁膜 2 1 にコンタクトホールが形成されている。そして、絶縁膜 2 1 上に、ソース、ドレイン及びゲートにそれぞれ接続されるアルミニウム配線 2 2 が形成されている。なお、図中の 2 3、2 4 は素子

領域を分離するための素子分離絶縁膜を示している。

【 0 0 4 0 】

本実施形態は、第 3 の実施形態と同様に全ての層構造をエピタキシャル成長で形成することが可能であるので、図では詳細には示さないが、例えば高温プロセスを必要とする素子を形成後に、完全に素子分離絶縁膜に囲まれた中に半導体装置を形成することが可能である。即ち、CVDによる埋め込み型の高性能トランジスタを作成することも可能である。

【 0 0 4 1 】

(第 5 の実施形態)

図 6 は、本発明の第 5 の実施形態に係わる半導体装置の素子構造を示す断面図である。なお、図 5 と同一部分には同一符号を付して、その詳しい説明は省略する。

【 0 0 4 2 】

この実施形態は、第 3 の実施形態を改良し、デュアルゲート構造にしたものである。即ち、Si 基板 1 1 上に絶縁層 1 8 として SiO_2 膜が形成され、その上に単結晶の SiGe 層 (第 1 のゲート電極) 3 7、単結晶の CeO_2 層 (第 1 のゲート絶縁膜) 3 4、単結晶のみ Si 層 1 3 が形成されている。ここで、SiGe 層 3 7 は第 1 のゲート電極として機能し、 CeO_2 層 3 4 は第 1 のゲート絶縁膜として機能するものである。そして、Si 層 1 3 上に、第 3 の実施形態と同様に、単結晶の CeO_2 からなるゲート絶縁膜 (第 2 のゲート絶縁膜) 1 4、単結晶の SiGe 層からなるゲート電極 (第 2 のゲート電極) 1 7 が形成され、ゲート電極 1 7 とゲート絶縁膜 1 4 はゲート構造に加工されている。また、Si 層 1 3 及びゲート電極 1 7 の上には、第 4 の実施形態と同様に、層間絶縁膜 2 1、配線 2 2 が形成されている。

【 0 0 4 3 】

なお、図では第 1 のゲート電極 3 7 に対する配線は示していないが、例えば第 1 のゲート電極 3 7 を紙面表裏方向に延長し、トランジスタ部以外で専用の配線 2 2 とコンタクトするようにすればよい。

【 0 0 4 4 】

このように本実施形態では、チャネル層となる単結晶のSi層13の上側だけでなく下側にもゲート絶縁膜を介してゲート電極を形成したデュアルゲート構造となっているため、Si層13中を移動するキャリアの制御をより精密に行うことが可能となる。具体的には、従来のMOS構造トランジスタ動作にて微細化と共に顕著となる閾値電圧の制御などに有効であり、従来構造よりも高性能化を達成することが可能である。

【0045】

(変形例)

なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、格子緩和のバッファ層としてSiGeを用いたが、この代わりには、B, As, P, Si, C, Ge, Ga, In, Al或いはそれらの混晶層で形成される層を用いることも可能である。具体的には、SiC, SiGeC, GaAs, InP, InGaAlPなどを用いることが可能である。

【0046】

また実施形態では、単結晶のゲート絶縁膜としてCeO₂を用いたが、この代わりに、希土類酸化物の構造：CaF₂構造を有しGe, Li, N, Si, Ti, Uのいずれか1元素を含む窒化物、Am, Ce, Cm, K, Li, Na, Np, Pa, Po, Pu, Rb, Tb, Th, U, Zr, Oのいずれか1元素を含む酸化物、C-希土構造 (C-rare earth structure) を有しBe, N, Ca, Cd, Mg, U, Znのいずれか1元素を含む窒化物、Dy, Er, Eu, Gd, Ho, In, La, Lu, β -MnNd, Pr, Sc, Sm, Tb, Tl, Tm, Yのいずれか1元素を含む酸化物、パイロクロア構造を有しNa, Ca, Nb, F, La, Ba, Sr, Oのいずれか1元素を含むオキシフッ化物、Ca, Sb, Ta, Nb, Cd, Dy, Ru, Ti, Er, Sn, Gd, Ho, La, Zr, Hf, Pr, Sc, Sm, Tb, Tc, Tm, Y, Yb, Ceのいずれか1元素を含む酸化物、CaWO₄構造 (scheelite) を有しCs, Cr, K, F, Oのいずれか1元素を含むハロゲン化物、Ag, I, Re, Ba, Mo, W, Bi, As, Ca, W, Cd, Ge, Hf, H, Re, Ru, N, H, Na, Tc, Pb, Rb, Sr, Th, Tl, U, Y, Nb, Oのいずれか1元素を含む酸化

物、K, Bi, Mo, W, Li, La, Na, Ce, B, Ti, Er, Eu, Ho, Gd, Lu, Nd, Sm, Pr, Tb, Tm, Y, Oのいずれか1元素を含む複酸化物、等を用いることも可能である。

【0047】

これらのうちでは特に、 CeO_2 , PrO_2 , CaO_2 , TbO_2 , PrO_2 , Dy_2O_3 , Er_2O_3 , Eu_2O_3 , Gd_2O_3 , Ho_2O_3 , In_2O_3 , La_2O_3 , Lu_2O_3 , Nd_2O_3 , Pr_2O_3 , Sm_2O_3 , Tb_2O_3 , Ti_2O_3 , Tm_2O_3 , Y_2O_3 , Yb_2O_3 が望ましい。

【0048】

また、各層の膜厚は仕様に応じて適宜変更可能である。例えば、バッファ層としてのSiGe層の厚さとしては30～500nmの範囲で選択すればよい。同様に、チャネルとなる歪みSi層の厚さとしては5～50nmの範囲、ゲート絶縁膜としての CeO_2 膜の厚さとしては0.5～10nmの範囲、ゲート電極としては50nm～2μmの範囲で選択すればよい。

【0049】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0050】

【発明の効果】

以上詳述したように本発明によれば、歪みSiチャネル層を用いた構成において、ゲート絶縁膜として CeO_2 等の単結晶希土類酸化物を用いることにより、微細化に伴うゲート絶縁膜の膜質劣化やリーク電流増大を抑制することができ、より一層の素子特性向上をはかることができる。

【0051】

また、MOSFETの高性能化のネックであるチャネルと絶縁膜の課題を同時解決し、SOI化で高性能で低消費電力トランジスタを実現することが可能になる。しかも、結晶成長で一度にMOS構造を形成できるため、コスト低減はもとより、ダマシンプロセスとしての応用も可能であり、製造プロセスの大幅な簡略化と高性能化との両立も可能である。

【図面の簡単な説明】

【図 1】

第 1 の実施形態に係わる半導体装置の素子構造を示す断面図。

【図 2】

従来の MOS F E T 構造の典型例を示す断面図。

【図 3】

第 2 の実施形態に係わる半導体装置の素子構造を示す断面図。

【図 4】

第 3 の実施形態に係わる半導体装置の素子構造を示す断面図。

【図 5】

第 4 の実施形態に係わる半導体装置の素子構造を示す断面図。

【図 6】

第 5 の実施形態に係わる半導体装置の素子構造を示す断面図。

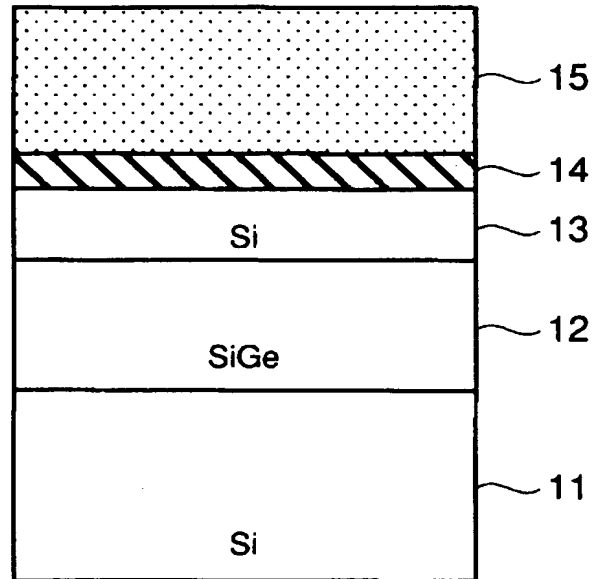
【符号の説明】

- 1 1 … S i 基板
- 1 2 … 格子緩和 S i G e 層 (バッファ層)
- 1 3 … 歪み S i 層 (チャネル層)
- 1 4 , 3 4 … C e O ₂ 膜 (ゲート絶縁膜)
- 1 5 … ポリ S i 膜 (ゲート電極)
- 1 6 … S i O ₂ 膜 (ゲート絶縁膜)
- 1 7 , 3 7 … 単結晶 S i 又は S i G e 膜 (ゲート電極)
- 1 8 … S i O ₂ 膜 (埋め込み絶縁層)
- 2 1 … 層間絶縁膜
- 2 2 … アルミニウム配線
- 2 3 … 素子分離絶縁膜
- 2 4 … 素子分離絶縁膜

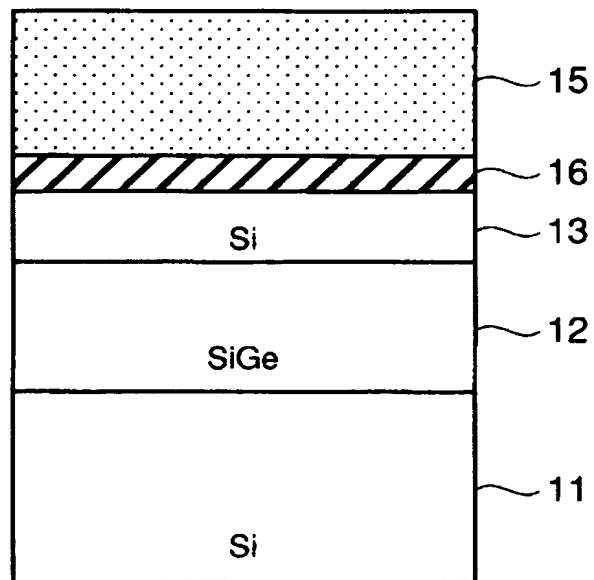
【書類名】

図面

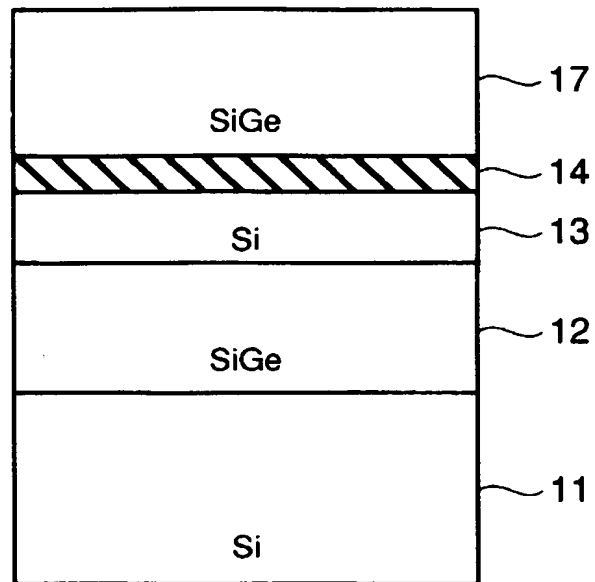
【図 1】



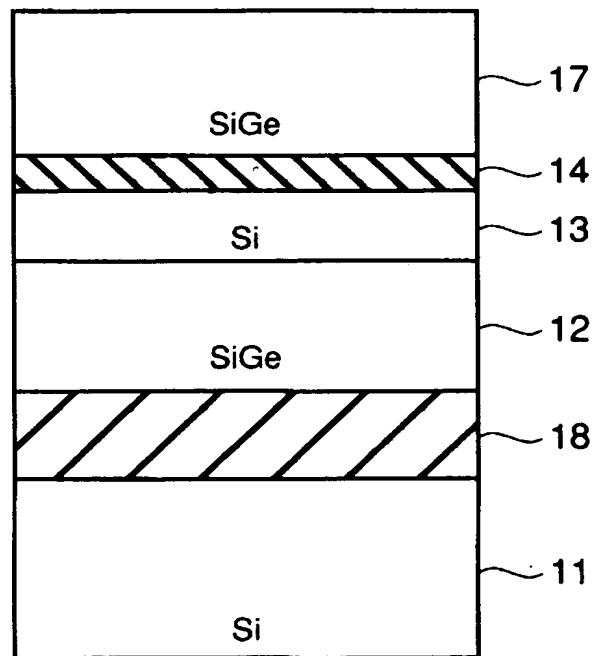
【図 2】



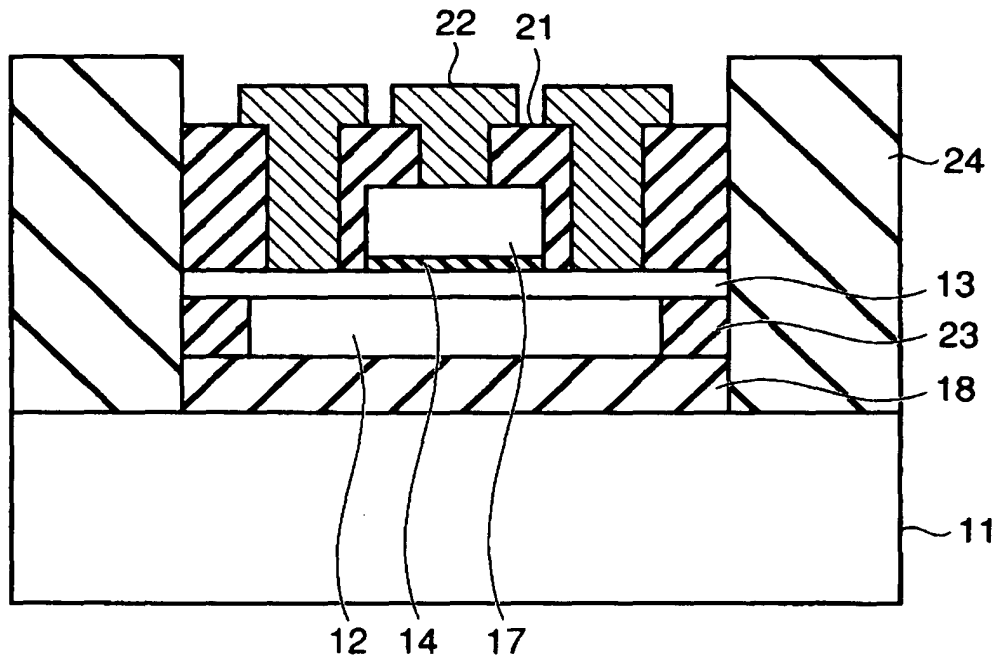
【図 3】



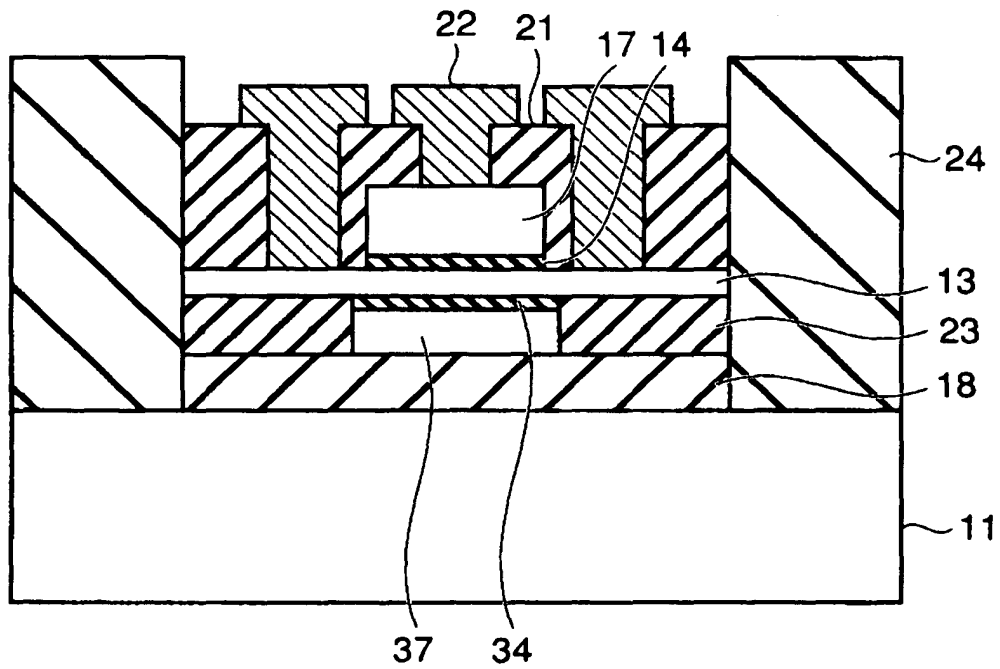
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 L S I の微細化に伴うゲート絶縁膜の膜質劣化やリーク電流増大を抑制し、より一層の素子特性向上をはかる。

【解決手段】 歪み S i チャンネル層を用いた半導体装置において、単結晶 S i 基板 1 1 上に形成された単結晶 S i G e からなるバッファ層 1 2 と、このバッファ層 1 2 上に形成され、該バッファ層 1 2 とは格子定数が異なる歪み S i 層 1 3 と、この歪み S i 層 1 3 上に形成され、該 S i 層 1 3 とは格子定数が異なる単結晶 C e O₂ からなるゲート絶縁膜 1 4 と、このゲート絶縁膜 1 4 上に形成された単結晶 S i G e からなるゲート電極 1 7 とを備えた。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝